

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 11-142871
 (43) Date of publication of application : 28.05.1999

(51) Int. Cl. G02F 1/1343
 G09F 9/00
 G09F 9/30

(21) Application number : 09-325192 (71) Applicant : CASIO COMPUT CO LTD
 (22) Date of filing : 12.11.1997 (72) Inventor : ONAKA EIICHI

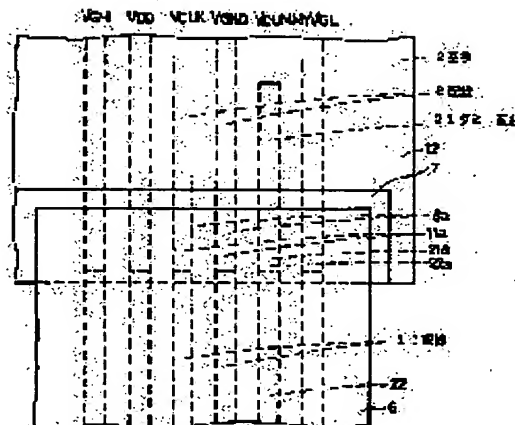
(54) WIRING BOARD

(57) Abstract:

PROBLEM TO BE SOLVED: To prevent wiring from being corroded/disconnected due to electrocorrosion even when there is a potential difference between voltage levels impressed to adjacent wires on a board.

SOLUTION: Gate on level VGH, power supply voltage VDD, a clock signal VCLK, ground voltage VGND, and a gate off level VGL are respectively impressed to five wires 8 consisting of aluminium alloy and arranged in parallel with a board 2 successively from the left. The relation of potential differences of voltage to be impressed is as follows.

VGH>VDD>VCLK>VGND>>VGL. A dummy wire 21 is arranged between the 4th wire for the ground voltage VGND and the 5th wire 8 for the gate off level VGL, so that the wire 8 to which higher voltage is impressed out of the 4th and 5th wires can be prevented from being corroded due to electrocorrosion.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(10) 日本公開特許公報 (J.P.)

(12) 公開特許公報 (A)

(11) 特許公開公報番号

特開平11-142871

(43) 公開日 平成11年(1999)5月25日

(51) Int. Cl. ⁴	分類 1.1	F.T.
G 0 2 F 1/1843		G 0 2 F 1/1843
G 0 9 F 9/00	H 4 H	G 0 9 F 9/00
9/30	H 4 Y	H 4 H H
		H 4 Y H

審査請求 未付済 請求項の数 10 (全 10 項)

(21) 出願番号 特願平11-855119
(22) 出願日 平成9年(1997)11月12日

(71) 出願人 KIMOTOYASU
カシオ計算機株式会社
東京都港区本町1丁目6番2号
(72) 発明者 田中 栄
東京都八王子市河川町2丁目番地の5 カシオ計算機株式会社八王子研究所内
(73) 代理人 弁護士 杉村 次郎

04) 発明の名称 配線基板

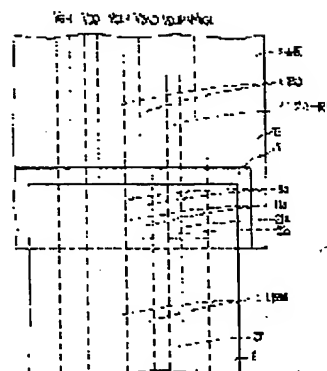
例【要約】

【課題】 基板上の相隣接する配線にそれぞれ印加される電圧の電位に差があっても、配線が電食作用により腐食・断線しないようにする。

【解決手段】 基板2に並列されたアルミニウム合金からなる5本の配線8には、左から順にゲートオンレベルVOL、電源電圧VDD、クロック信号VCK、接地電圧VSS、ゲートオフレベルVLOがそれぞれ印加される。この場合、印加される電圧の電位の関係は次の通りである。

$VOL > VDD > VCK > VSS > VLO$

そして、電位差の大きい左側から4本目の接地電圧VSS用配線8と5本目のゲートオフレベルVLO用配線8間にダミー配線21を設け、これにより当該両配線8のうち印加電圧の高い方の配線8が電食作用により腐食されないようにすることができる。



【特許請求の範囲】

【請求項1】 基板上に複数の配線の少なくとも一端が接続端子部から突出される電圧の電位の高い順にまたは低い順に並列に配置されていることを特徴とする配線基板。

【請求項2】 前記複数の配線のうち少なくとも1本は電気出力対象が存在しないダミー配線であることを特徴とする請求項1記載の配線基板。

【請求項3】 電気出力対象が存在する複数の駆動配線と電気出力対象が存在しない少なくとも1本のダミー配線を有する配線基板であって、前記駆動配線の少なくとも一端が接続端子部から突出される電圧の電位の高い順にまたは低い順に並列に配置され、前記ダミー配線は少なくとも一端が前記駆動配線の接続端子部間に並列に配置されるときに電位が両隣の駆動配線に印加される電圧の電位よりも高い電圧が印加されるダミー配線であることを特徴とする配線基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、液晶表示装置等の電子機器における配線基板の構造に関する。

【0002】

【従来の技術】例えば、液晶表示装置には、図2に示すようなものがある。この液晶表示装置は液晶表示パネル1を備えている。液晶表示パネル1は、ガラス等からなる2枚の透明な基板2、3間に液晶（図示せず）が封入された構造となっている。この場合、下側の基板2の右辺部及び下辺部は上側の基板3から突出され、これらの突出部2a、2bの上面の各所定の箇所にはゲートドライバ用の半導体チップ4及びデータドライバ用の半導体チップ5が搭載されている。また、下側の基板2の下辺右端部の上面には入力配線用としてのフレキシブル配線基板6の一端部が異方導電性接着剤7を介して接合されている。そして、一方の突出部2aの上面において、半導体チップ4が搭載された領域とフレキシブル配線基板6の一端部が接合された領域との間には、複数の配線（駆動配線）8が設けられている。また、他方の突出部2bの上面において、半導体チップ5が搭載された領域とフレキシブル配線基板6の一端部が接合された領域との間には、複数の配線（駆動配線）9が設けられている。さらに、配線8と配線9との間には上側の基板3に設けられている共通電極に接続された配線（駆動配線）10が設けられている。また、フレキシブル配線基板6の下面には、配線8～10に対応して、複数の入力配線11が設けられている。そして、配線8～10を含む突出部2a、2bの上面であって、フレキシブル配線基板6の一端部が接合された部分を除く部分には、オーバーコート膜12が設けられている。

【0003】次に、フレキシブル配線基板6の一端部の接合部分の詳細について、図3（A）及び（B）を参照して説明する。なお、図3（A）では、ゲートドライバ

（半導体チップ4）用の配線8のみを図示している。この場合、ゲートドライバ用の配線8は、アルミニウム合金によって形成され、下側の基板2の上面の所定の箇所に並列された5本の配線8からなっている。また、この5本の配線8に対応して、フレキシブル配線基板6の下面の所定の箇所には銅からなる5本の入力配線11が並列に設けられている。そして、下側の基板2の配線8の接続端子8aとフレキシブル配線基板6の入力配線11の接続端子11aとは異方導電性接着剤7を介して接合されている。この場合、異方導電性接着剤7がフレキシブル配線基板6の一端部から突出しているのは、下側の基板2とフレキシブル配線基板6との接合強度を十分とするために、下側の基板2とフレキシブル配線基板6との間に異方導電性接着剤7をやや多めに介在させるからである。

【0004】そして、5本の配線8、11には、図3（A）において左から順にそれぞれクロック信号VCK、電源電圧VDD、ゲートオフレベルVGL、ゲートオンレベルVGH、接地電圧VSSが印加されるようになっている。この場合、5本の配線8、11にそれぞれ印加される電圧の電位について見ると、次のように、 $VGH > VDD > VCK > VSS > VGL$ と、ゲートオンレベルVGHが最も高く、電源電圧VDD、クロック信号VCK、接地電圧VSS、ゲートオフレベルVGLの順に低くなっている。

【0005】

【発明が解決しようとする課題】ところで、従来のこのような液晶表示装置では、下側の基板2とフレキシブル配線基板6とを異方導電性接着剤7を介して接合する場合、熱圧着により行っている。この熱圧着の際に、異方導電性接着剤の一部分がフレキシブル配線基板6の一端部から外部へ溶け出すように押し出されて固化する。この押し出された異方導電性接着剤7には圧力が掛かっていないため、オーバーコート膜12との密着性が十分でない場合がある。このような場合、空気中の水分が、その押し出された異方導電性接着剤7とオーバーコート膜12との間の密着性の悪い部分から侵入することがある。また、熱圧着の際に押し出された異方導電性接着剤7はそのペーストの一部分が外部に溶け出して固化したものであるため、不純物イオンを吸着し易い状態となっている。このような現象が生じた場合、隣接する電源電圧VDD印加用の配線8とゲートオフレベルVGL印加用の配線8との間ではそれぞれ印加される電圧に大きな差があるので、この両配線8のうち電圧の高い方の電源電圧VDD印加用の配線8の接続端子8aが、これら接続端子を介して水分や不純物イオンに電界が印加されて起こる電気化学反応の所謂電食作用により腐食・断線することがある。また、同様に、互いに隣接するゲートオフレベルVGL印加用の配線8とゲートオンレベルVGH印加用の配線8との間でもそれぞれ印加される電圧に大きな差が

あるので、この両配線8のうち電圧の高い方のゲートオンレベルV_{GF}印加用の配線8の接続端子8aが電食作用により腐食・断線することがあるという問題があった。この発明の課題は、相隣接する配線にそれぞれ印加される電圧に差があっても、配線が電食作用により腐食・断線しないようにすることである。

【0006】

【課題を解決するための手段】上述した課題は、基板上に複数の配線の少なくとも接続端子部が印加される電圧の電位の高い順または低い順に並列に配置した配線基板によって解決される。また、上述の課題は、電気出力対象が存在する複数の駆動配線と電気出力対象が存在しない少なくとも1本のダミー配線を有する配線基板であって、前記駆動配線の少なくとも接続端子部が印加される電圧の電位の高い順または低い順に並列に配置され、前記ダミー配線は少なくとも端子部が前記駆動配線の接続端子部間に並列に配置されるとともに電位が両隣の駆動配線に印加される電圧の電位よりも高い電圧が印加されるダミー配線である配線基板によっても、解決される。

【0007】この発明によれば、複数の配線を印加される電圧の電位の高い順または低い順に並列しており、これは相隣接する配線にそれぞれ印加される電圧の電位に差があってもこの差が可及的に小さくなる構成であり、したがって相隣接する配線のうち電位の高い方の配線が電食作用を受けるのを防止することができる。

【0008】

【発明の実施の形態】図1はこの発明の一実施形態を適用した液晶表示装置の要部を示したものである。この図において、図3(A)と同一名称部分には同一の符号を付し、その説明を適宜省略する。この液晶表示装置では、5本の配線8、11に左から順にそれぞれゲートオンレベルV_{GL}、電源電圧V_{DD}、クロック信号V_{CK}、接地電圧V_{SS}、ゲートオフレベルV_{GF}が印加されるようになっている。すなわち、5本の配線8、11にそれぞれ印加される電圧の電位は、次のような関係にあり、 $V_{GL} > V_{DD} > V_{CK} > V_{SS} > V_{GF}$ 。左側から右側に向かうに従って次第に低くなっている。この場合、ゲートオンレベルV_{GL}と電源電圧V_{DD}との電位の差、電源電圧V_{DD}とクロック信号V_{CK}との電位の差、及びクロック信号V_{CK}と接地電圧V_{SS}との電位の差はすべて比較的小さいが、接地電圧V_{SS}とゲートオフレベルV_{GF}との電位の差は比較的大きい。そこで、液晶表示パネル1の下側の基板2の上面で、印加される電位に比較的大きな差がある接地電圧V_{SS}印加用の配線8とゲートオフレベルV_{GF}印加用の配線8との間には、アルミニウム合金からなる電気出力対象が存在しないダミー配線21が設けられ、フレキシブル配線基板6の下面で、接地電圧V_{SS}印加用の入力配線11とゲートオフレベルV_{GF}印加用の入力配線11との間には、上記ダ

ミー配線21に対応させて銅からなるダミー配線22が設けられている。この場合、ダミー配線21は配線8の接続端子8aの近傍及びその近傍のみに設けられている。ダミー配線22は入力配線11と同様に設けられている。そして、両ダミー配線21、22の接続端子21a、22a同士は異方導電性接着剤7を介して接合されている。そして、両ダミー配線21、22には、その両側の配線8、11にそれぞれ印加される電圧のうち高い方の電圧、すなわち接地電圧V_{SS}よりも高いダミー電圧V_{DM}が印加されるようになっている。

【0009】さて、左側から1本目と2本目の配線8について見ると、それぞれ印加されるゲートオンレベルV_{GL}と電源電圧V_{DD}との電位の差が比較的小さいので、電位の高い方のゲートオンレベルV_{GL}印加用の配線8でも電食作用により腐食・断線し難く、また、左側から2本目と3本目の配線8についても、それぞれ印加される電源電圧V_{DD}とクロック信号V_{CK}との電位の差が比較的小さいので、今度は電源電圧V_{DD}印加用の配線8が電圧が高くなるが、電食作用を受け難い。また、左側から3本目と4本目の配線8について見ると、この場合もそれぞれ印加されるクロック信号V_{CK}と接地電圧V_{SS}との電位の差が比較的小さいので、高電位側となるクロック信号V_{CK}印加用の配線8が高電位側となるが、電食作用を受け難くなる。

【0010】ところで、左側から4本目と5本目の配線8について見ると、接地電圧V_{SS}とゲートオフレベルV_{GF}との電位の差が比較的大きいので、この両配線8のうち電位の高い方の接地電圧V_{SS}印加用の配線8が電食作用を受けるおそれがある。しかし、この場合、この両配線8間にダミー配線21を設け、このダミー配線21に、当該両配線8にそれぞれ印加される電位のうち高い方の電位、すなわち接地電圧V_{SS}よりも高いダミー電圧V_{DM}を印加するので、ダミー配線21が電食作用を受けることがあっても、当該両配線8は電食作用を受けない。

【0011】なお、上記実施形態では複数の配線を印加電圧の電位が高い順に並列に配置し、電位差が大きくなる配線間にダミー配線を配置したが、各配線間の電位差が電食作用を発生させる程大きくならない場合は、ダミー配線を配置しなくてもよい。すなわち、この場合は、電気出力対象の存在する出力配線を印加電圧の高い順あるいは低い順に並列に配置するだけでよい。また、上記実施形態では、ダミー配線21、22に、その両側の配線8、11にそれぞれ印加される電圧の電位のうち高い方の電位よりも高い電位の電圧を印加する場合について説明したが、これに限定されるものではない。例えば、ダミー配線21、22に、その両側の配線8、11にそれぞれ印加される電圧のうち高い方の電圧よりも低く、かつ低い方の電圧よりも高い電圧を印加するようにしてもよい。ただし、この場合、配線8、11に印加される

電圧のうち高い方の電圧とダミー配線21、22に印加される電圧との差は電食作用を受けない程度に小さいものとする必要がある。さらに、ダミー配線21、22に、その両側の配線8、11にそれぞれ印加される電圧のうち高い方の電圧と同電位の電圧を印加するようにしてもよい。加えて、ダミー配線21、22に電圧を印加せず、電気的にフローティング状態としてもよい。

【0012】また、上記実施形態では、ダミー配線21、22を1本設けた場合について説明したが、印加される電圧に大きな差がある配線間が複数箇所ある場合には、それぞれの配線間にダミー配線を設けるようにしてもよい。また、上記実施形態では、配線8をアルミニウム合金によって形成した場合について説明したが、これに限らず、高融点金属膜、透明導電膜、またはそれらの積層膜によって形成するようにしてもよい。さらに、上記実施形態では、接合材として異方導電性接着剤7を用いた場合について説明したが、これに限らず、例えば半田を用いる場合にも本発明は好適に適用できる。

【0013】

【発明の効果】以上説明したように、この発明によれば、複数の配線を印加される電圧の高い順にまたは低い順に並列しているため、相隣接する配線にそれぞれ印加される電圧に差があっても、この差を小さくすることができ、したがって配線接続部において相隣接する配線のうち電圧の高い方の配線が電食作用を受けて腐食・断線する不都合を防止することができる。

【図面の簡単な説明】

【図1】この発明の一実施形態を適用した液晶表示装置の要部の拡大平面図。

【図2】従来の液晶表示装置の一例の平面図。

【図3】(A)は図2に示す液晶表示装置の一部の拡大平面図、(B)はそのB-B線に沿う断面図。

【符号の説明】

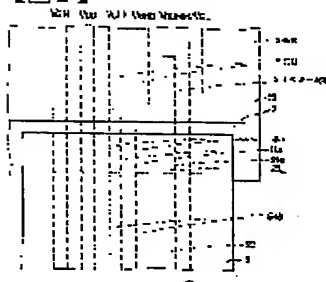
2 下側の基板

6 フレキシブル配線基板

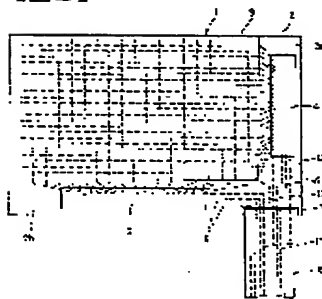
8、11 配線

21、22 ダミー配線

【図1】



【図2】



【图3】

